

科技部補助產學合作研究計畫成果精簡報告

奈米級無摻雜型鐵電負電容材料與元件關鍵製程技術開發

計畫類別：技術及知識應用型
計畫編號：MOST 107-2622-E-003-002-CC3
執行期間：107年11月01日至108年10月31日
執行單位：國立臺灣師範大學機電工程學系（所）

計畫主持人：鄭淳護

計畫參與人員：碩士班研究生-兼任助理：黃子祐
博士班研究生-兼任助理：陳宣翰
博士班研究生-兼任助理：劉謙

處理方式：
公開方式：立即公開

中華民國 109 年 01 月 22 日

中文摘要：隨著CMOS元件技術節點逐漸接近次7奈米，然而元件的操作電壓卻無法用相同的速度降低，若沒有因應的對策，屆時將面臨嚴苛的元件物理極限問題，因此，下一世代的電晶體元件技術研發方向不該只侷限在尺寸微縮。近年來，開發具備低漏電流和低功耗操作的電晶體元件已是半導體產業研發重點，而負電容電晶體技術(Negative Capacitance FET)更是降低元件功耗的關鍵技術之一。然而，根據本實驗室2017 IEDM及2018 IRPS所發表的研究結果顯示，為了進行負電容電晶體元件微縮，所採用的超薄介面層將伴隨著較高介面缺陷，以及關閉漏電流，加上鐵電摻雜的調變性問題，大幅限制了微縮厚度。而當負電容電晶體出現高閘極漏電流時，將改變鐵電元件動態切換行為，進而使得負電容操作不再穩定，甚至導致電容匹配無法最佳化，最終將影響負電容電晶體動態響應以及電性可靠度。今年本實驗室於2018 VLSI會議中，首度發表HfO₂鐵電負電容電晶體，透過初步的實驗結果我們證明了利用薄膜厚度微縮和應變閘極工程，可有效控制無摻雜HfO₂中的鐵電結晶相，並在電晶體操作時獲得負電容效應。此低功耗負電容電晶體實現了超陡峭小於35mV/dec的次臨界擺幅、35mV的遲滯以及1 pA/um關閉電流等特性。為了更進一步滿足低功耗物聯網與先進邏輯元件的低功耗需求，我們也嘗試使用氮電漿鈍化處理，進一步改善元件漏電流以及閘極可靠度。因此，無摻雜鐵電HfO₂薄膜的開發有助於負電容電晶體應用於次5奈米節點技術。本計畫將針對不同金屬和成長方式的應變閘極做更深入的探討，以及嘗試解決低摻雜所限制的閘極厚度微縮難題，並透過不同電漿表面處理進一步優化元件特性。此次產學合作計畫將與原晶半導體設備公司進行製程整合技術合作，以Picosun ALD設備系統做為奈米級鐵電薄膜研發平台。除了改善HfAlO的摻雜調變性和HfZrO的熱穩定性問題，同時，嘗試開發無摻雜之HfO₂鐵電負電容電晶體，並採用不同遠端電漿處理製程以及不同應變閘極等，觀察對HfO₂基鐵電材料中斜方晶相(Orthorhombic Phase)和鐵電極化效應之影響，並結合電性量測(如高速脈衝)和材料分析，觀察遠端電漿處理後的鐵電薄膜內部和介面品質變化。因此，此關鍵製程技術的開發，將能提供更多奈米級鐵電元件製程技術解決方案，也對於Picosun ALD設備在產業之推廣有所助益。

中文關鍵詞：缺陷鈍化，氧化鉛鋁，無摻雜氧化鉛，鐵電電晶體，次臨界擺幅，負電容

英文摘要：As an advanced sub-7 nm technology is approached, the reduction of supply voltage (VDD) becomes a bottleneck for CMOS node scaling. To solve the scaling limitation, the research on new transistor formula to reduce VDD is required. In recent years, the semiconductor industries give priority to the research of next-generation transistors featuring ultralow leakage current and low-power operation. The ferroelectric negative capacitance field effect transistor (NCFET) is a promising candidate owing to its steep turn-on switch property under an ultralow gate overdrive. However, according to our research results published in 2017 IEDM and 2018 IRPS, the ultra-

thin interfacial layer for NCFET device scaling is usually accompanied by higher interface defect density and larger leakage current. Furthermore, the poor dopant tunability limits the scalability of the ferroelectric thickness. On the other hand, the leakage through the gate stack may change the dynamic switch of the ferroelectric negative capacitance (NC) system, causing the unstable NC operation. Recently, we have successfully demonstrated the dopant-free HfO₂ NCFET and published in 2018 VLSI. Based on our experimental results, it has been proved that crystallinity of dopant-free HfO₂ can be effectively controlled by film thickness scaling and additional strained-gate engineering. As a result, the dopant-free HfO₂ transistor shows the excellent performance of sub-35mV/dec, 35mV hysteresis and 1 pA/um off current. To meet the requirements of IoT and advanced logic devices, the remote plasma passivation was simultaneously carried out for the sake of lowering leakage current and improving device reliability. This project collaborating with Atom Semicon Co., Ltd. is mainly focused on the platform establishment of nano-scale ferroelectric thin film by Picosun ALD. To solve the issues of the poor dopant tunability of HfAlO and thermal stability of HfZrO, we focus on the research of dopant-free HfO₂ negative capacitance field effect transistors. We will investigate the influence of plasma surface treatment and strained gate on the ferroelectricity of dopant-free HfO₂ mainly contributed by orthorhombic phase. Besides, the interface quality of dopant-free HfO₂ NCFET is also examined by material analysis and electrical reliability. Therefore, the development of dopant-free HfO₂ will provide more key solutions for the fabrication of nano-scale ferroelectric devices, which is also beneficial for the promotion of Picosun ALD in semiconductor industries.

英文關鍵詞： defect passivation, hafnium aluminum oxide, dopant-free, FeFET, subthreshold swing, negative capacitance

科技部補助專題研究計畫成果報告(精簡版)

(期中進度報告/期末報告)

奈米級無摻雜型鐵電負電容材料與元件關鍵製程技術開發

Key Technology Developments of Nanoscale Dopingless Negative Capacitance Materials and Devices

計畫類別：個別型計畫 整合型計畫

計畫編號：107-2622-E-003 -002 -CC3

執行期間：107年11月01日至108年10月31日

執行機構及系所：國立臺灣師範大學機電工程系

計畫主持人：鄭淳護 教授

共同主持人：

計畫參與人員：黃子祐、陳宣翰、劉謙

本計畫除繳交成果報告外，另含下列出國報告，共 __ 份：

執行國際合作與移地研究心得報告

出席國際學術會議心得報告

出國參訪及考察心得報告

中 華 民 國 109 年 1 月 21 日

摘要

隨著 CMOS 元件技術節點逐漸接近次 7 奈米，然而元件的操作電壓卻無法用相同的速度降低，若沒有因應的對策，屆時將面臨嚴苛的元件物理極限問題，因此，下一世代的電晶體元件技術研發方向不該只侷限在尺寸微縮。近年來，開發具備低漏電流和低功耗操作的電晶體元件已是半導體產業研發重點，而負電容電晶體技術(Negative Capacitance FET)更是降低元件功耗的關鍵技術之一。然而，根據本實驗室 2017 IEDM 及 2018 IRPS 所發表的研究結果顯示，為了進行負電容電晶體元件微縮，所採用的超薄介面層將伴隨著較高介面缺陷，以及關閉漏電流，加上鐵電摻雜的調變性問題，大幅限制了微縮厚度。而當負電容電晶體出現高閘極漏電流時，將改變鐵電元件動態切換行為，進而使得負電容操作不再穩定，甚至導致電容匹配無法最佳化，最終將影響負電容電晶體動態響應以及電性可靠度。今年本實驗室於 2018 VLSI 會議中，首度發表 HfO₂ 鐵電負電容電晶體，透過初步的實驗結果我們證明了利用薄膜厚度微縮和應變閘極工程，可有效控制無摻雜 HfO₂ 中的鐵電結晶相，並在電晶體操作時獲得負電容效應。此低功耗負電容電晶體實現了超陡峭小於 35mV/dec 的次臨界擺幅、35mV 的遲滯以及 1 pA/um 關閉電流等特性。為了更進一步滿足低功耗物聯網與先進邏輯元件的低功耗需求，我們也嘗試使用氮電漿鈍化處理，進一步改善元件漏電流以及閘極可靠度。因此，無摻雜鐵電 HfO₂ 薄膜的開發有助於負電容電晶體應用於次 5 奈米節點技術。本計畫將針對不同金屬和成長方式的應變閘極做更深入的探討，以及嘗試解決低摻雜所限制的閘極厚度微縮難題，並透過不同電漿表面處理進一步優化元件特性。

此次產學合作計畫將與原晶半導體設備公司進行製程整合技術合作，以 Picosun ALD 設備系統做為奈米級鐵電薄膜研發平台。除了改善 HfAlO 的摻雜調變性和 HfZrO 的熱穩定性問題，同時，嘗試開發無摻雜之 HfO₂ 鐵電負電容電晶體，並採用不同遠端電漿處理製程以及不同應變閘極等，觀察對 HfO₂ 基鐵電材料中斜方晶相(Orthorhombic Phase)和鐵電極化效應之影響，並結合電性量測(如高速脈衝)和材料分析，觀察遠端電漿處理後的鐵電薄膜內部和介面品質變化。因此，此關鍵製程技術的開發，將能提供更多奈米級鐵電元件製程技術解決方案，也對於 Picosun ALD 設備在產業之推廣有所助益。

關鍵詞：缺陷鈍化，氧化鈣鋁，無摻雜氧化鈣，鐵電電晶體，次臨界擺幅，負電容。

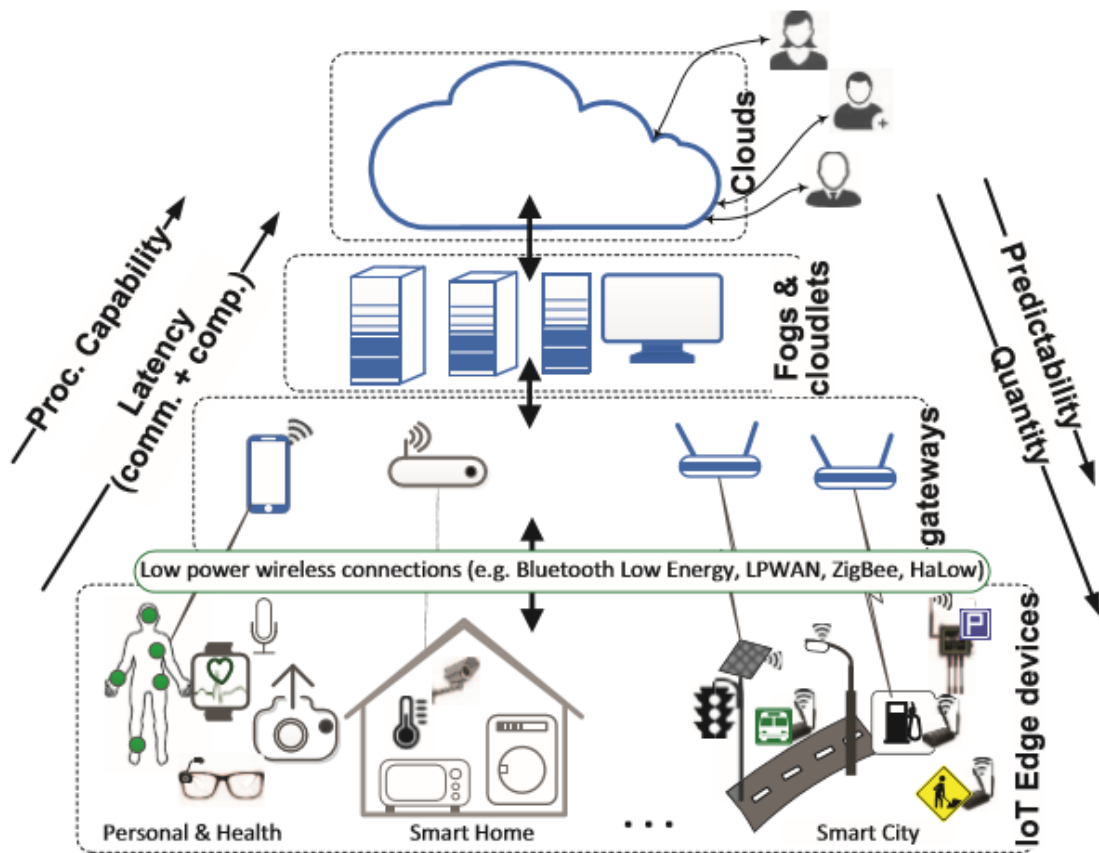
英文摘要

As an advanced sub-7 nm technology is approached, the reduction of supply voltage (VDD) becomes a bottleneck for CMOS node scaling. To solve the scaling limitation, the research on new transistor formula to reduce VDD is required. In recent years, the semiconductor industries give priority to the research of next-generation transistors featuring ultralow leakage current and low-power operation. The ferroelectric negative capacitance field effect transistor (NCFET) is a promising candidate owing to its steep turn-on switch property under an ultralow gate overdrive. However, according to our research results published in 2017 IEDM and 2018 IRPS, the ultra-thin interfacial layer for NCFET device scaling is usually accompanied by higher interface defect density and larger leakage current. Furthermore, the poor dopant tunability limits the scalability of the ferroelectric thickness. On the other hand, the leakage through the gate stack may change the dynamic switch of the ferroelectric negative capacitance (NC) system, causing the unstable NC operation. Recently, we have successfully demonstrated the dopant-free HfO₂ NCFET and published in 2018 VLSI. Based on our experimental results, it has been proved that crystallinity of dopant-free HfO₂ can be effectively controlled by film thickness scaling and additional strained-gate engineering. As a result, the dopant-free HfO₂ transistor shows the excellent performance of sub-35mV/dec, 35mV hysteresis and 1 pA/um off current. To meet the requirements of IoT and advanced logic devices, the remote plasma passivation was simultaneously carried out for the sake of lowering leakage current and improving device reliability. This project collaborating with Atom Semicon Co., Ltd. is mainly focused on the platform establishment of nano-scale ferroelectric thin film by Picosun ALD. To solve the issues of the poor dopant tunability of HfAlO and thermal stability of HfZrO, we focus on the research of dopant-free HfO₂ negative capacitance field effect transistors. We will investigate the influence of plasma surface treatment and strained gate on the ferroelectricity of dopant-free HfO₂ mainly contributed by orthorhombic phase. Besides, the interface quality of dopant-free HfO₂ NCFET is also examined by material analysis and electrical reliability. Therefore, the development of dopant-free HfO₂ will provide more key solutions for the fabrication of nano-scale ferroelectric devices, which is also beneficial for the promotion of Picosun ALD in semiconductor industries.

Key word: defect passivation, hafnium aluminum oxide, dopant-free, FeFET, subthreshold swing, negative capacitance.

一、前言

在過去數十年，高效能 CMOS 元件在高速切換和低功耗操作上已經有顯著的躍進。針對不同應用，物聯網(IoT)元件需要具備各種不同的功能，例如低製程成本、超低元件漏電流、低操作電壓、資料非揮發性以及系統間的可連接性[1][2]。在低頻操作下，元件的開關電流比主導了多晶片單元 (Multi-Chip Unit, MCU)的功率消耗，為了在能源收集晶片所轉換的電壓下操作，超低元件漏電流和超低功耗操作等開關特性要求是必須的，因此，我們需要一個全新的元件設計，並具備高開啟電流和低關閉電流以滿足 IoT 應用的市場需求。現今半導體產業，先進製程技術點已來到次十奈米的領域，然而，隨著元件尺寸微縮，量子穿隧效應越來越顯著，伴隨而來的是嚴重的元件漏電流劣化，此現象也暗示了摩爾定律(Moore's Law)無法再以相同的步調前進，目前各家半導體大廠為了達到低操作功率、高速操作、高微縮性、優異可靠度、以及待機功耗等目標，也都積極開發新技術。本計畫所要研究的負電容電晶體即蘊含巨大的前景，相較於穿隧式電晶體(tunnel field-effect transistor)及自旋電晶體(spin field-effect transistor)，被視為最有機會成為下一世代 CMOS 元件的候選人。



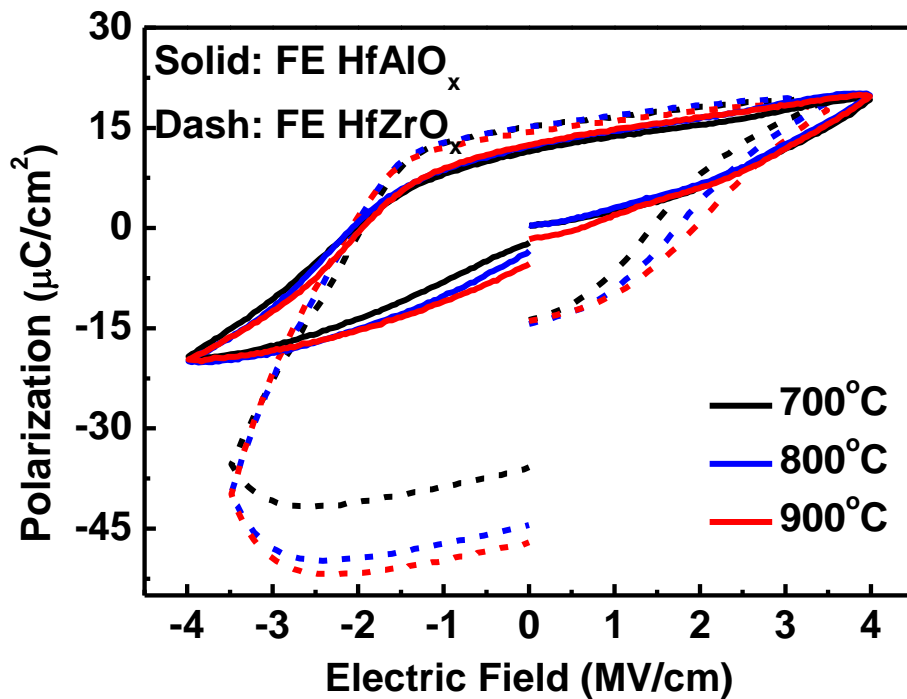
圖一、物聯網(IoT)系統示意圖[1]。

二、研究成果

在先前的研究中可知，透過摻雜方式能使氧化鈦(HfO_2)薄膜產生鐵電效應，介電材料氧化鈦薄膜早已廣泛應用在CMOS元件製程中。這種藉由摻雜的新鐵電材料(HfO_2 -based)不只可以與現今CMOS製程相容，且材料特性的關係，具有高微縮的特性。因此，新鐵電材料(HfO_2 -based)被認為，可取代鐵電記憶體與鐵電電晶體中傳統鐵電層材料(鈣鈦礦結構)的候選[18, 19]。這些新興鐵電材料具有快速的開關切換能力、長時間數據儲存、高寫入及抹除之耐久性、低功率消耗、高可延展性及互補式金屬氧化物半導體整合時的相容性。這些眾多的優勢顯現出這些新興材料在非揮發式記憶體及揮發式記憶體應用中具有龐大的潛能[20-24]。

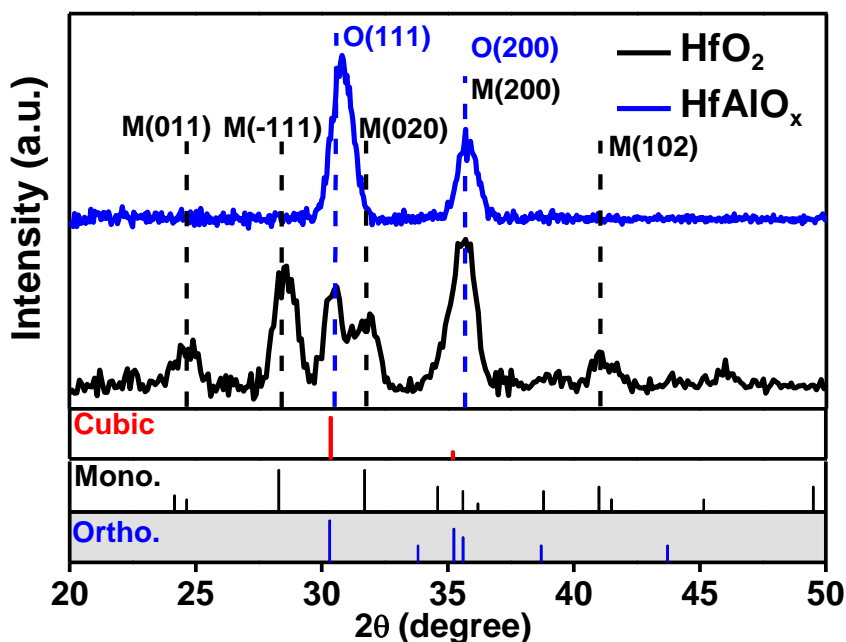
近年來，使用鈦(Zr)摻雜量為50%之氧化鈦鈦(HfZrO_x)薄膜所製成的新型鐵電記憶體[20]，已經有報告並深入研究指出，此新型鐵電記憶體具有優異的遲滯極化特性及較寬闊的參雜濃度範圍。**然而，在過往的研究指出氧化鈦鈦薄膜結構中，熱穩定性較差的 ZrO_2 薄膜，會在界面處產生嚴重的熱反應，使得高溫退火過程中，在界面層中產生過多的缺陷並造成額外的漏電流[25]**。其原因為高溫退火過程中在界面層中形成氧化鈦等化合物，而這些化合物會造成過多缺陷的產生。在高溫活化的製程中，過量的Zr摻雜可能導致擴散問題和界面品質劣化。因此，我們採用熱穩定性較佳的輕度摻雜鋁之氧化鈦鋁(HfAlO_x)薄膜取代氧化鈦鈦薄膜。近期已經有文獻揭露氧化鈦鋁之鐵電元件其鐵電特性及反鐵電特性與其閘極應力有相關聯[26, 27]。此外，氧化鈦鋁之鐵電元件的存取特性和可靠性也有廣泛地探討[28, 29]。氧化鈦鋁薄膜的鐵電特性來自於薄膜中的鐵電正交晶相，而結晶晶相穩定程度，可藉由調變鋁摻雜比例來使其穩定。氧化鈦鋁薄膜具有幾項優點，其中包括良好的熱穩定性及由於三氧化二鋁的高能隙而導致的低漏電流。**在這次研究中，我們不僅證實了氧化鈦鋁鐵電薄膜相較於氧化鈦鈦薄膜具有較優異的熱穩定性及良好的厚度調變特性。同時證明了，因鈦、鋁、氧間的強鍵結，使得氧化鈦鋁之鐵電記憶體擁有良好的耐久性。根據我們的實驗結果，具有高溫熱穩定性的氧化鈦鋁鐵電薄膜在厚度微縮方面展現出優勢，並且較氧化鈦鈦鐵電薄膜，更加適合先進互補式金屬氧化物半導體製程整合。此研究成果已發表至國際期刊**

如圖九所示，厚度為9.6nm的氧化鈦鋁和氧化鈦鈦鐵電電容，在不同溫度之金屬沉積後退火後，所測得的遲滯極化迴圈(Hysteresis Loop)，其金屬沉積後退火分別為700°C、800°C、900°C。從先前探討可知，經過高溫退火的氧化鈦鈦薄膜之磁滯極化迴圈顯示出有明顯的動態漏電流。然而，隨著退火溫度從700°C上升至900°C，氧化鈦鋁薄膜的遲滯極化迴圈並沒有顯著的變化，其原因應為，在薄膜中添加具有較優異熱穩定性的三氧化二鋁。由此可知在鈦、鋁、氧間的鍵結有助於減少在高溫退火製程中所產生的氧空缺。

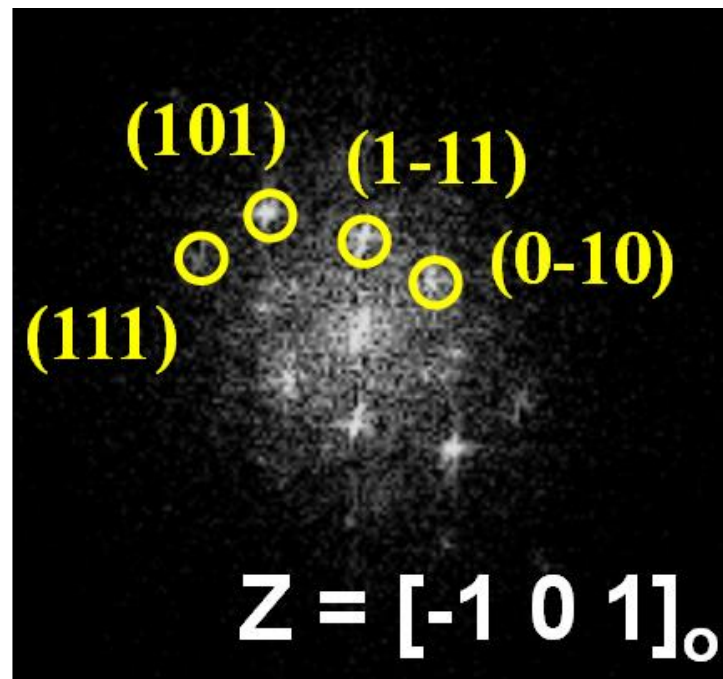
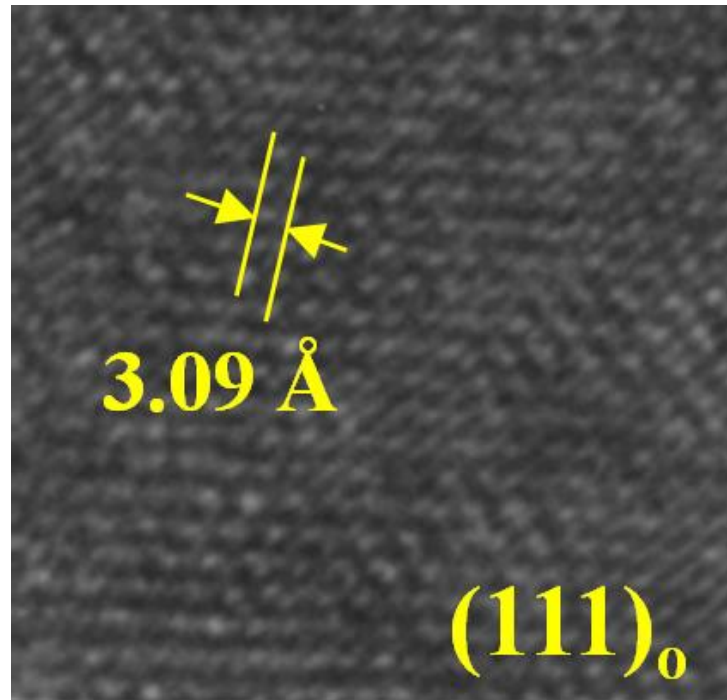


圖九、不同退火溫度下，氧化鈹鋁和氧化鈹鋯鐵電電容之極化遲滯迴圈圖。

如圖十所示，在厚度為9.6nm的氧化鈹鋁和氧化鈹鋯薄膜經過低掠角X光繞射(GI-XRD)所產生的光譜得知，氧化鈹鋁薄膜存在正交晶相，在圖二中我們可以觀察到，由於輕度鋁摻雜，故二氧化鈹所產生的單斜晶相得到了顯著的抑制。從先前的研究可知，氧化鈹鋁薄膜的鐵電性是由正交晶相的形成所引起的，因此鐵電相相變及退火過程中所產生的氧空缺與二氧化鈹中摻雜鋁是有高度相關聯的。圖十一(a)為氧化鈹鋁經過高解像能電子顯微鏡(HRTEM)，所產生出的結晶圖像以及經過穿透式電子顯微鏡所產生出的圖像，可得出其薄膜直徑為3.09 Å，結晶相為(111)平面。此外，從穿透式電子顯微鏡所得出的快速傅立葉變換(FFT)繞射圖顯示，如圖十一(b)所示，實驗之快速傅立葉變換模型與鐵電正交相理論快速傅立葉變換模型相匹配。



圖十、氧化鉛鋁和氧化鉛鋅鐵電薄膜之GI-XRD分析圖。

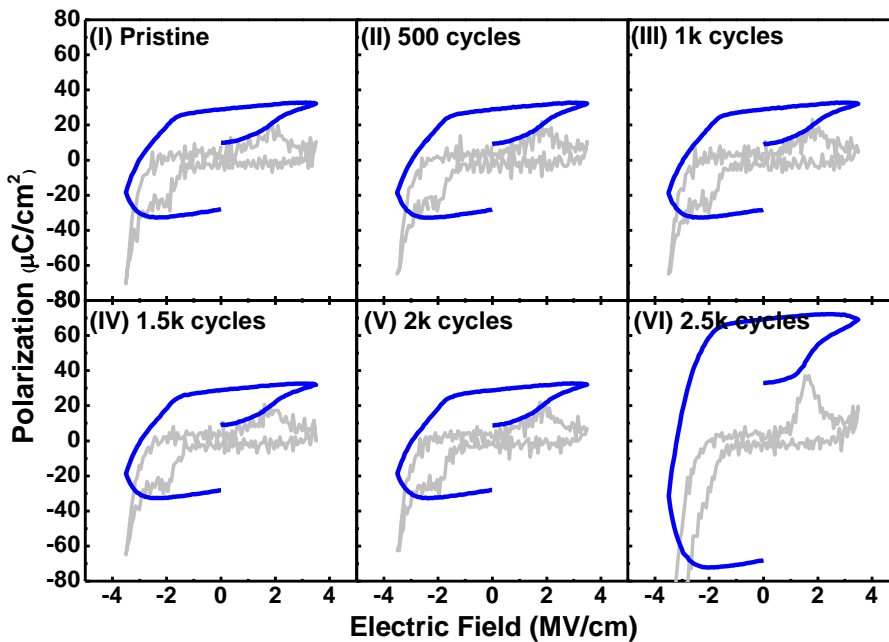
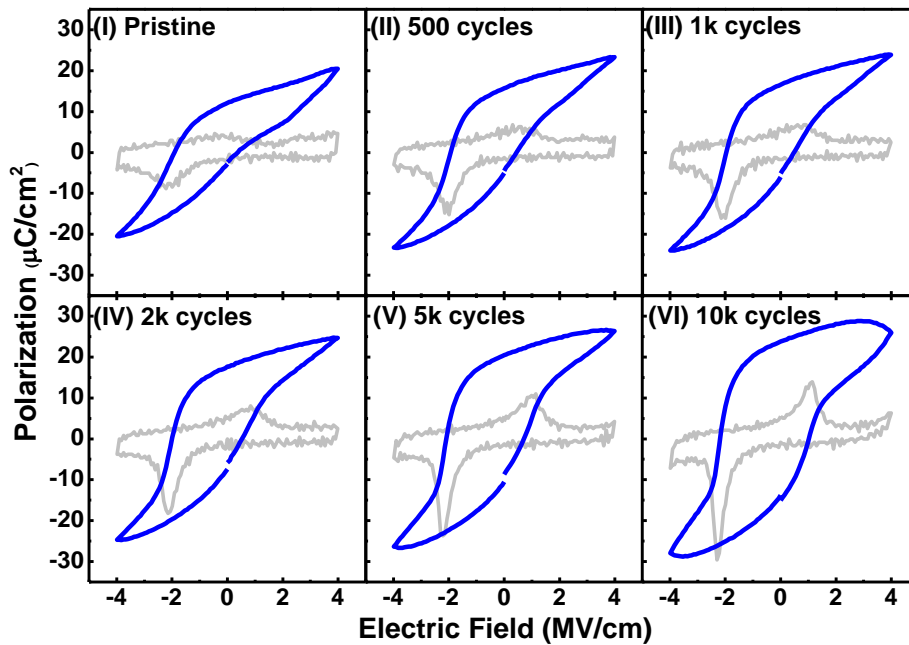


圖十一、氧化鉛鋁鐵電薄膜之HRTEM分析圖以及FET繞射圖。

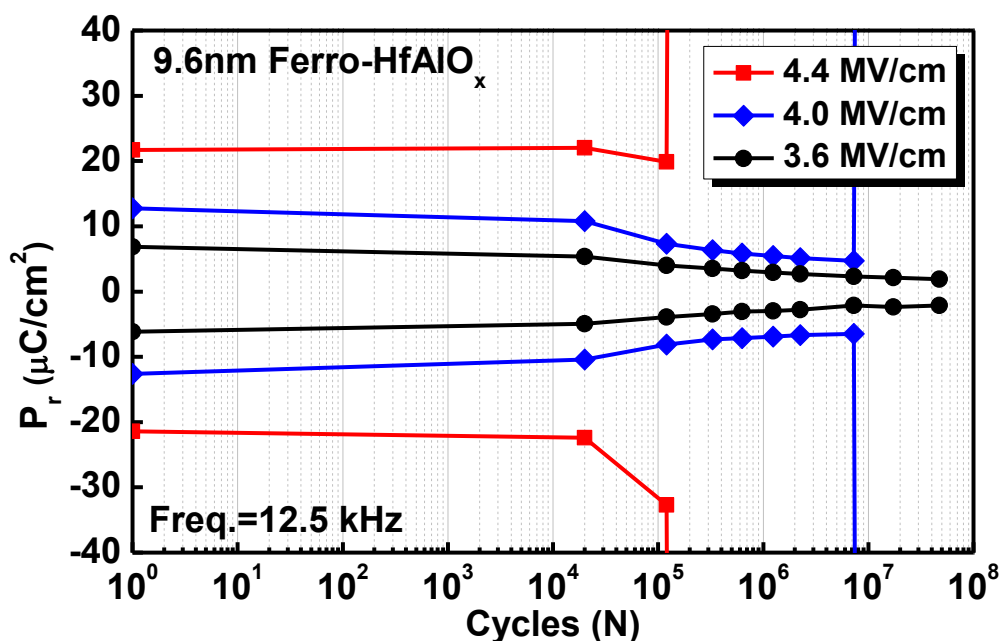
為了研究鐵電極化特性的穩定性，量測方法採用連續直流脈衝電壓量測法，評估氧化鉛鋁與氧化鉛鋅之鐵電薄膜的品質。隨著循環直流脈衝電壓脈(衝寬度為2ms)，可以觀察出，極化遲滯迴圈及瞬時電流之變化，如圖十二所示。如圖十二(a)所示，氧化鉛鋁鐵電電容之殘留極化量，隨著直流脈衝次數增加而增強，這種現象可以歸因於界面缺陷的氧空位的重新分佈[30, 31]。當循環脈衝次數增加至一萬時，可以明顯的發現，動態漏電流也隨之增加。相較於氧化鉛鋁鐵電電容，氧化鉛鋅鐵電電容，隨著循環脈衝電壓次數增加，其遲滯迴圈表現出高動態漏電流及扭曲的迴圈線路，代表著在循環期間產生更多新的缺陷。

為了進一步研究氧化鉛鋁鐵電電容極化遲滯視窗的切換穩定性，我們對元件進行耐久度

(Endurance)量測(電場範圍3.6-4.4 MV/cm),如圖十三所示。氧化鋁鉛鐵電容記憶體在電場3.6 MV/cm的條件下,仍然可以保持 5×10^7 以上的循環操作次數,而此時殘餘極化量為 $7 \mu\text{C}/\text{cm}^2$ 。其可歸因於強的鉛、鋁、氧鍵結及循環過程中的低動態漏電流,但操作電場超過4.4MV/cm,則會造成表面劣化,耐力度下降($<10^5$ cycles)。此現象說明了,過量的開極電場,會較快發生鐵電疲勞現象,包含極化遲滯惡化。此外,鐵電遲滯視窗會隨著操作循環次數的增加而縮小,這是因為界面所產生的新缺陷會影響鐵電域的切換。



圖十二、氧化鉛鋁與氧化鉛鋅之鐵電電容的遲滯迴圈與循環脈衝電壓次數之關係圖。



圖十三、氧化鈣鋁鐵電電容在不同電場大小下之耐久度測試。

在此項研究中，我們探討了氧化鈣鋁之鐵電記憶體的熱穩定性，並成功地證明，在二氧化鈣中摻雜少量的鋁，不僅以有效地減少退火製程中所產生的氧空缺，還可以改善鐵電域切換的熱穩定性及動態漏電流。在先進互補式金屬氧化物半導體製程整合中，與氧化鈣鋁記憶體相比，低摻雜的氧化鈣鋁記憶體具有優異的熱穩定性(最高溫可至900°C)。這也表示，在低功率消耗嵌入式記憶體種具有一更具有潛力。根據實驗結果，具有高溫穩定性的氧化鈣鋁鐵電薄膜具有優異的厚度調變性及比氧化鈣鋁更適合用於先進互補式金屬氧化物半導體製程整合中。

三、結論

在過往的研究指出氧化鈣鋁薄膜結構中，熱穩定性較差的二氧化鈣會在界面處產生嚴重的熱反應，使得高溫退火過程中在界面層中產生過多的缺陷，並造成額外的漏電流，在高溫活化的製程中，氧化鈣鋁的鐵電特性會急遽下降，為了避免造成元件鐵電特性急遽下降，我們採用熱穩定性較佳的輕度摻雜鋁之氧化鈣鋁薄膜取代氧化鈣鋁薄膜。近年來，已經有文獻揭露氧化鈣鋁之鐵電元件其鐵電特性及反鐵電特性與其閘極應力有相關性。此外，氧化鈣鋁之鐵電元件的存取特性和可靠性也有廣泛地探討。氧化鈣鋁薄膜的鐵電特性來自於薄膜中的鐵電正交晶相，而結晶晶相穩定程度，可藉由調變鋁摻雜比例來使其穩定。氧化鈣鋁薄膜具有幾項優點，其中包括良好的熱穩定性及由於三氧化二鋁的高能隙而導致的低漏電流。在這次研究中，我們不僅證實了氧化鈣鋁鐵電薄膜相較於氧化鈣鋁薄膜具有較優異的熱穩定性及良好的厚度調變性，也證明了，因鈣、鋁、氧間的強鍵結，使得氧化鈣鋁之鐵電記憶體擁有良好的耐久性。從我們的實驗結果顯示，具有高溫熱穩定性的氧化鈣鋁鐵電薄膜在厚度調變方面展現出優勢，並且較氧化鈣鋁鐵電薄膜更加適合先進互補式金屬氧化物半導體製程整合中。

綜觀此計畫之研究成果，我們針對鐵電薄膜於未來高度微縮的議題作探討，並且分別對不同材料系統提出相對應之解決方案，最終成功利用缺陷鈍化技術實現超薄鐵電記憶體和超低功耗的鐵電負電容元件，使得氧化鈣鋁和氧化鈣鐵電負電容電晶體及記憶體於未來更有機會應用在低功率物聯網系統中，改善巨量數據存取的困難，以及高效能和超低功率操作等瓶頸。此計畫研究成果已發表國際期刊

3 篇，其研究成果豐碩。我們的研究成果乃為電子核心技術研發，可預先為下一世代電子產品的相關技術展開佈局。

四、參考文獻

- [1] T. Hiramoto, K. Takeuchi, T. Mizutani, A. Ueda, T. Saraya, M. Kobayashi, Y. Yamamoto, H. Makiyama, T. Yamashita, H. Oda, S. Kamohara, N. Sugii, and Y. Yamaguchi, "Ultra-Low Power and UltraLow Voltage Devices and Circuits for IoT Applications", *IEEE Silicon Nanoelectronics Workshop (SNW)*, pp. 146-147, 2016.
- [2] J. Henkel, S. Pagani, H. Amrouch, L. Bauer, and F. Samie, "Ultra-low power and dependability for iot devices (invited paper for iot technologies)", *2017 Design, Automation & Test in Europe Conference & Exhibition (DATE)*, pp. 954–959, 2017.
- [3] S. Salahuddin, and S. Datta, "Can the subthreshold swing in a classical FET be lowered below 60 mV/decade?", *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 693-696, 2008.
- [4] C. W. Yeung, A. I. Khan, A. Sarker, S. Salahuddin, and C. Hu, "Low power negative capacitance FETs for future quantum-well body technology," *in Proc. Int. Symp. VLSI Technol., Syst., Appl. (VLSI-TSA)*, pp. 1–2, 2013.
- [5] Johannes Müller, Tim S. Böske, Uwe Schröder, Stefan Mueller, Dennis Bräuhaus, Ulrich Böttger, Lothar Frey and Thomas Mikolajick, "Ferroelectricity in Simple Binary ZrO₂ and HfO₂," *Nano. Letter*, vol. 12, pp. 4318-4323, 2012.
- [6] M. H. Lee, P.-G. Chen, C. Liu, K.-Y. Chu, C.-C. Cheng, M.-J. Xie, S.-N. Liu, J.-W. Lee, S.-J. Huang, M.-H. Liao, M. Tang, K. S. Li, and M. C. Chen, "Prospects for ferroelectric HfZrOx FETs with experimentally CET=0.98 nm, SS_{for}=42 mV/dec, SS_{rev}=28 mV/dec, switch-off <0.2 V, and hysteresis-free," *International Electron Devices Meeting (IEDM) Tech. Dig.*, pp. 616–619, 2015.
- [7] A. I. Khan, U. Radhakrishna, K. Chatterjee, S. Salahuddin and D. A. Antoniadis "Negative capacitance behavior in a leaky ferroelectric" *IEEE Trans. Electron Dev.*, vol. 63, pp. 4416–4422, 2016.
- [8] A. I. Khan, U. Radhakrishna, S. Salahuddin, and D. Antoniadis, "Work function engineering for performance improvement in leaky negative capacitance FETs," *IEEE Electron Device Lett.*, vol. 38, pp. 1335–1338, 2017.
- [9] Y. C. Chiu, **C. H. Cheng***, C. Y. Chang, M. H. Lee, H. H. Hsu and S. S. Yen "Low Power 1T DRAM/NVM Versatile Memory Featuring Steep Sub-60-mV/decade Operation, Fast 20-ns Speed, and Robust 85C-Extrapolated 1E16 Endurance," *IEEE Symp. on VLSI Technology and Circuits (VLSI)*, pp. T184-T185, 2015.
- [10] Y. C. Chiu, **C. H. Cheng***, M. H. Lee, C. Y. Chang, and H. H. Hsu, "Impact of Nanoscale Polarization Relaxation on Endurance Reliability of One-Transistor Hybrid Memory Using Combined Storage Mechanisms," *IEEE International Reliability Physics Symposium (IRPS)*, pp. MY3-1~MY3-5, 2015.
- [11] Y. C. Chiu, **C. H. Cheng***, M. H. Lee, C. Liu, P. W. Chen, C. Y. Chang, S. S. Yen and C. C. Fan, and H. H. Hsu" On the Variability of Threshold Voltage Window in Gate-Injection Versatile Memories with Sub-60mV/dec Subthreshold Swing and 10¹²-Cycling Endurance", *IEEE International Reliability Physics Symposium (IRPS)*, pp. MY-7-1~ MY-7-5, 2016.
- [12] **C. H. Cheng***, Y. C. Chiu and G. L. Liou, "Experimental Observation of Negative Capacitance Switching Behavior in One-Transistor Ferroelectric Versatile Memory", *Phys. Status Solidi RRL*, accepted, 2017.

107年度專題研究計畫成果彙整表

計畫主持人：鄭淳護		計畫編號：107-2622-E-003-002-CC3		
計畫名稱：奈米級無摻雜型鐵電負電容材料與元件關鍵製程技術開發				
成果項目		量化	單位	質化 (說明：各成果項目請附佐證資料或細項說明，如期刊名稱、年份、卷期、起訖頁數、證號...等)
國內	學術性論文	期刊論文	0	篇
		研討會論文	0	
		專書	0	本
		專書論文	0	章
		技術報告	0	篇
		其他	0	篇
國外	學術性論文	期刊論文	1	篇
		研討會論文	2	
		專書	0	

T. J. Chang, C. Liu, C. C. Fan, H. H. Hsu, H. H. Chen, W. H. Chen, Y. C. Fan, T. M. Lee, C. L. Lin, J. Ma, Z. W. Zheng, C. H. Cheng*, S. A. Wang, and C. Y. Chang, "Investigation on Polarization Characteristics of Ferroelectric Memories with Thermally Stable Hafnium Aluminum Oxides", Vacuum, vol. 166, pp. 11-14, 2019.

1. C. Liu, C. C. Fan, H. H. Chen, W. H. Chen, H. H. Hsu, W. C. Chou, C. L. Lin, Y. C. Fan, T. M. Lee, S. A. Wang, J. Ma, C. H. Cheng*, and C. Y. Chang, "Characteristic Simulation of Ferroelectric Hafnium Aluminum Oxide Devices Integrated with Aluminum Buffer Layer," International Electron Devices and Materials Symposium (IEDMS), pp. 272 , 2018.

2. T. J. Chang, C. C. Fan, C. Liu, H. H. Hsu, H. H. Chen, W. H. Chen, Y. C. Fan, T. M. Lee, C. L. Lin, S. A. Wang, J. Ma, C. H. Cheng*, and C. Y. Chang, "Investigation on Polarization Characteristics of Ferroelectric Memories with Thermally Stable Hafnium Aluminum Oxides," International Electron Devices and Materials Symposium (IEDMS), pp. 268 , 2018.

		專書論文	0	章	
		技術報告	0	篇	
		其他	0	篇	
參與計畫人力	本國籍	大專生	0	人次	
		碩士生	1		黃子祐
		博士生	2		劉謙、陳宣翰
		博士級研究人員	0		
		專任人員	0		
	非本國籍	大專生	0		
		碩士生	0		
		博士生	0		
		博士級研究人員	0		
		專任人員	0		
其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)		1. 榮獲科技部工程技術研究發展司107年度「產學成果簡報特優獎」。 2. 指導學生榮獲 107年度台灣半導體產業協會(TSIA)「半導體獎」。 3. 指導學生榮獲 107年度「科林論文獎-優等獎」。 4. 指導學生榮獲第九屆台灣電機電子工程學會(TIEEE)「博士論文佳作獎」及「博士論文指導獎」。 5. 指導學生榮獲第八屆台灣電機電子工程學會(TIEEE)「碩士論文應用組佳作獎」及「碩士論文指導獎」。			

本產學合作計畫研發成果及績效達成情形自評表

成果項目		本產學合作計畫預估研究成果及績效指標 (作為本計畫後續管考之參據)	計畫達成情形
技術移轉		預計技轉授權 7 項	完成技轉授權 7 項
專利	國內	預估 0 件	提出申請 0 件，獲得 0 件
	國外	預估 0 件	提出申請 0 件，獲得 0 件
人才培育		博士 2 人，畢業任職於業界 0 人	博士 2 人，畢業任職於業界 0 人
		碩士 1 人，畢業任職於業界 0 人	碩士 1 人，畢業任職於業界 0 人
		其他 0 人，畢業任職於業界 0 人	其他 0 人，畢業任職於業界 0 人
論文著作	國內	期刊論文 0 件	發表期刊論文 0 件
		研討會論文 0 件	發表研討會論文 0 件
		SCI論文 0 件	發表SCI論文 0 件
		專書 0 件	完成專書 0 件
		技術報告 0 件	完成技術報告 0 件
	國外	期刊論文 1 件	發表期刊論文 1 件
		學術論文 0 件	發表學術論文 0 件
		研討會論文 2 件	發表研討會論文 2 件
		SCI/SSCI論文 0 件	發表SCI/SSCI論文 0 件
		專書 0 件	完成專書 0 件
		技術報告 0 件	完成技術報告 0 件
其他協助產業發展之具體績效		新公司或衍生公司 0 家	設立新公司或衍生公司(名稱):
計畫產出成果簡述： 請以文字敘述計畫非量化產出之技術應用具體效益。 (限600字以內)		近幾年來，大陸半導體產業的崛起已對台灣半導體產業型態產生影響，且大陸半導體產業的技術佈局也明確指出朝向先進製程代工以及記憶體技術。本計畫研究成果已成功發表於2018 IEDMS以及2019 Vacuum。其技術創新性已受國際專家學者所肯定，未來將有機會應用下一代電晶體或記憶體元件。因此，此鐵電記憶體前瞻技術的研發和相關專利佈局是相當重要的，將有助堆高國內技術門檻，爭取新一波應用機會，對國內半導體產業和經濟發展將有所幫助。	
請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估		<input checked="" type="checkbox"/> 達成目標 <input type="checkbox"/> 未達成目標 (請說明，以100字為限) <input type="checkbox"/> 實驗失敗 <input type="checkbox"/> 因故實驗中斷 <input type="checkbox"/> 其他原因 說明：	
本研究具有政策應		<input checked="" type="checkbox"/> 否	

用參考價值	<input type="checkbox"/> 是，建議提供機關 (勾選「是」者，請列舉建議可提供施政參考之業務主管機關)
本研究具影響公共 利益之重大發現	<input type="checkbox"/> 否 <input type="checkbox"/> 是 說明：(以150字為限)