

科技部補助產學合作研究計畫成果精簡報告

應用於高速電路之創新靜電放電防護技術開發(3/3)

計畫類別：開發型
計畫編號：MOST 107-2622-E-003-001-CC2
執行期間：107年02月01日至108年01月31日
執行單位：國立臺灣師範大學電機工程學系（所）

計畫主持人：林群祐
共同主持人：柯明道
計畫參與人員：碩士班研究生-兼任助理：賴玉瑄
碩士班研究生-兼任助理：彭柏維
碩士班研究生-兼任助理：傅義全
碩士班研究生-兼任助理：戴子鈞

處理方式：
公開方式：立即公開

中華民國 108 年 04 月 17 日

中文摘要：靜電放電對積體電路所造成之影響日益嚴重，因此必須透過靜電放電防護，以防止靜電放電對晶片產生危害。而在現今IC工業中，高速電路之輸入輸出端電路更需要針對靜電放電問題加以防護；在高速電路的應用發展不斷提升操作頻率下，製作上需更要考量具低電容與低損耗的設計，在這些嚴刻的條件下，高速電路的靜電放電防護設計，將會帶來更大的挑戰，需要有更進一步的探討和研究解決方法。本產學合作計畫已完成適用於20Gb/s和40Gb/s高速電路之靜電放電防護設計、完成元件層級與系統層級之靜電放電測試、並搭配靜電放電防護設計於高速電路進行驗證。未來在應用時還可以將靜電放電防護電路進行最佳化調整，滿足產品實際所需。本三年期產學合作計畫已完整地執行完畢，未來合作企業可將此靜電放電防護解決方案應用至客戶之高速電子產品，包括NB、PC、電視、手機等。此外，本計畫將可培育產業界亟需的靜電放電防護技術人才，因此本計畫對於靜電放電防護技術研發及人才培訓而言皆具有十足助益。

中文關鍵詞：高速電路、靜電放電、靜電放電防護設計

英文摘要：For all electronics products, the electrostatic discharge (ESD) protection design must be provided. However, the ESD protection in high-speed wireless and wireline communication devices causes circuit performance degradation with several undesired effects. Conventional ESD protection devices with large dimensions have the parasitic capacitance which is too large to be tolerated for the high-speed circuits. As the circuit operating frequencies increase, the ESD protection designs for high-speed circuits will continuously be an important design task. Several novel ESD protection designs for 20Gb/s and 40 Gb/s high-speed applications have been developed in this project. The real high-speed circuits with the ESD protection designs will then be studied. Once the circuits and systems have perfect ESD protection ability, the electronics products can have the useful value and competitiveness in the market.

英文關鍵詞：high-speed circuit, electrostatic discharge (ESD), ESD protection

科技部補助產學合作研究計畫成果精簡(進度)報告

計畫名稱：應用於高速電路之創新靜電放電防護技術開發

計畫類別： 先導型 開發型 技術及知識應用型

計畫編號：MOST 107-2622-E-003-001-CC2

執行期間：107 年 02 月 01 日至 108 年 01 月 31 日

執行單位：國立臺灣師範大學

計畫主持人：林群祐

共同主持人：柯明道

計畫參與人員：賴玉瑄、彭柏維、黃國倫、林孟霆、李冠儀、傅偉豪、張榮堃、邱彥璉

研究摘要（500 字以內）：

靜電放電對積體電路所造成之影響日益嚴重，因此必須透過靜電放電防護，以防止靜電放電對晶片產生危害。而在現今 IC 工業中，高速電路之輸入輸出端電路更需要針對靜電放電問題加以防護；在高速電路的應用發展不斷提升操作頻率下，製作上需更要考量具低電容與低損耗的設計，在這些嚴刻的條件下，高速電路的靜電放電防護設計，將會帶來更大的挑戰，需要有更進一步的探討和研究解決方法。本產學合作計畫已完成適用於 20Gb/s 和 40Gb/s 高速電路之靜電放電防護設計、完成元件層級與系統層級之靜電放電測試、並搭配靜電放電防護設計於高速電路進行驗證。未來在應用時還可以將靜電放電防護電路進行最佳化調整，滿足產品實際所需。本三年期產學合作計畫已完整地執行完畢，未來合作企業可將此靜電放電防護解決方案應用至客戶之高速電子產品，包括 NB、PC、電視、手機等。此外，本計畫將可培育產業界亟需的靜電放電防護技術人才，因此本計畫對於靜電放電防護技術研發及人才培訓而言皆具有十足助益。

人才培育成果說明：

本產學計畫三年間已有 8 位研究生投入靜電放電防護技術之研發，並已有 6 位碩士級專業人才畢業任職於業界從事相關工作。由於產業界有大量靜電放電防護技術的人力缺口，且參與本計畫執行的工作人員能培養最前瞻之靜電放電防護技術，故本計畫協助培育產業界亟需的靜電放電防護技術人才。

技術研發成果說明：

本產學合作計畫已完成適用於 20Gb/s 和 40Gb/s 高速電路之靜電放電防護設計、完成元件層級與系統層級之靜電放電測試、並搭配靜電放電防護設計於高速電路進行驗證。未來在應用時還可以將靜電放電防護電路進行最佳化調整，滿足產品實際所需。本三年期產學合作計畫已完整地執行完畢，未來可藉由產業之執行力，將實驗室內之理論實際應用於上市產品上；本計畫可協助提升產品的品質與可靠度，增進產品附加價值；對於國家產業發展而言，本產學合作計畫所發展的核心技術非常貼近現今臺灣電子產業之實際需求，為目前國內電子產業中不可或缺的重要技術。

技術特點說明：

由於靜電放電防護電路必須置於高速電路之輸入與輸出接點，所以靜電放電防護電路之寄生電容必須非常低，否則寄生電容造成的負載將大幅衰減高速電路的性能。本產學合作計畫已研究了多種靜電放電防護設計，並已開發出更佳的新型設計，以應用於 20Gb/s 與 40Gb/s 速度下的高速電路。本計畫提出之創新靜電放電防護技術，皆已申請國內外的專利保護。

可利用之產業及可開發之產品：

本計畫合作企業是台灣第一家靜電放電防護解決方案公司，專門提供各項靜電放電防護相關產品，也是全台首家以 IC 製程方式研發出各類元件，其產品可應用在包括 NB、PC、電視、手機等。本三年期計畫若順利開發完成，將產出可實際應用於高速電路產品之靜電放電防護技術。

推廣及運用的價值：

根據研調機構預測，全球靜電放電保護元件市場總額將從 2012 年 14 億美元提升至 2019 年 34 億美元。本三年期計畫若順利開發完成，將產出可實際應用於高速電路產品之靜電放電防護技術，合作企業可將此靜電放電防護解決方案應用至客戶之高速電子產品，市佔率預估 50%，年產值將朝新台幣 20 億元邁進。

處理方式：

1. 立即公開

(依規定，精簡報告係可供科技部立即公開之資料，並以 4 至 10 頁為原則，如有圖片或照片請以附加檔案上傳，如因涉及專利、技術移轉案或其他智慧財產權、影響公序良俗或政治社會安定等，而不宜對外公開者，請勿將其列入精簡報告)

2. 本研究是否有嚴重損及公共利益之發現：否 是

3. 本報告是否建議提供政府單位參考 否 是， (請列舉提供之單位；本部不經審議，依勾選逕予轉送。)

計畫查核點自評表 (請逐年填列)

一、本表為本計畫重要審查資訊，本表之期程可視產學合作計畫執行情況予以設定。

重要工作項目	查核內容概述 (力求量化表示)				廠商參與情形概述			
	第1年 第1季	第1年 第2季	第1年 第3季	第1年 第4季	第1年 第1季	第1年 第2季	第1年 第3季	第1年 第4季
A 適用於20Gb/s高速電路之元件層級靜電放電防護設計								
A1 元件層級之靜電放電防護元件的特性分析	分析2種元件層級防護元件的高頻特性 <已完成>				提供製程參數			
	分析2種元件層級防護元件的防護能力 <已完成>							
A2 全晶片靜電放電防護設計		設計1種新型防護電路(多種尺寸) <已完成>				提供高速電路產品規格		
		繪製1種防護電路佈局(多種尺寸) <已完成>				參與ESD規格設計		
A3 電路下線實作			下線實作1種新型防護電路 <已完成>					
A4 實驗量測與分析				量測晶片之高頻特性、元件層級靜電放電防護能力(每種尺寸至少3顆),並送交第三方驗證元件層級靜電放電防護能力 <已完成>			協助量測	
				分析量測結果 <已完成>				結果討論
B 適用於20Gb/s高速電路之系統層級靜電放電防護設計								
B1 系統層級之靜電放電防護元件的特性分析	分析2種系統層級防護元件的高頻特性 <已完成>				提供元件參數			
	分析2種系統層級防護元件的防護能力 <已完成>							
B2 系統層級之靜電放電防護設計		設計1種新型防護電路(多種尺寸) <已完成>				提供高速電路產品系統規格		
		繪製1種防護電路佈局(多種尺寸) <已完成>				參與ESD規格設計		

B3 電路下線實作			下線實作 1種新型 防護電路 <已完成>					
B4 實驗量測與分析				量測晶片之高頻特性、系統層級靜電放電防護能力(每種尺寸至少3顆),並送交第三方驗證系統層級靜電放電防護能力 <已完成>			協助量測	
				分析量測結果 <已完成>				結果討論

重要工作項目	查核內容概述 (力求量化表示)				廠商參與情形概述			
	第2年 第1季	第2年 第2季	第2年 第3季	第2年 第4季	第2年 第1季	第2年 第2季	第2年 第3季	第2年 第4季

C 搭配靜電放電防護設計之20Gb/s高速電路產品驗證

C1 整合適用於20Gb/s高速電路之元件層級與系統層級之靜電放電防護設計	設計1種 20Gb/s高速電路 <已完成>	設計1種 20Gb/s高速電路並搭配元件層級與系統層級之靜電放電防護設計(多種尺寸) <已完成>			提供高速電路產品	參與整合設計		
C2 電路下線實作			下線實作 1種 20Gb/s高速電路並搭配元件層級與系統層級靜電放電防護設計(多種尺寸) <已完成>					
C3 實驗量測與分析				量測20Gb/s高速電路之特性、元件層級與系統層級靜電放電防護能力(每種尺寸至少3顆),並送交第三方驗證元件層級與系統層級靜電放電防護能力 <已完成>			協助量測	
				分析量測結果 <已完成>				結果討論

D 適用於40Gb/s高速電路之元件層級靜電放電防護設計

D1 元件層級之靜電放電防護元件的特性分析	分析2種元件層級防護元件的高頻特性 <已完成>				提供元件參數			
	分析2種元件層級防護元件的防護能力 <已完成>							

D2 全晶片靜電放電防護設計		設計1種新型防護電路(多種尺寸) <已完成>				提供高速電路產品系統規格		
		繪製1種防護電路佈局(多種尺寸) <已完成>				參與ESD規格設計		
D3 電路下線實作			下線實作1種新型防護電路 <已完成>					
D4 實驗量測與分析				量測晶片之高頻特性、元件層級靜電放電防護能力(每種尺寸至少3顆),並送交第三方驗證元件層級靜電放電防護能力 <已完成>			協助量測	
				分析量測結果 <已完成>				結果討論

重要工作項目	查核內容概述 (力求量化表示)				廠商參與情形概述			
	第3年第1季	第3年第2季	第3年第3季	第3年第4季	第3年第1季	第3年第2季	第3年第3季	第3年第4季

E 適用於40Gb/s高速電路之系統層級靜電放電防護設計

E1 系統層級之靜電放電防護元件的特性分析	分析2種系統層級防護元件的高頻特性 <已完成>				提供元件參數			
	分析2種系統層級防護元件的防護能力 <已完成>							
E2 系統層級之靜電放電防護設計		設計1種新型防護電路(多種尺寸) <已完成>			提供高速電路產品系統規格			
		繪製1種防護電路佈局(多種尺寸) <已完成>				參與ESD規格設計		
E3 電路下線實作			下線實作1種新型防護電路 <已完成>					
E4 實驗量測與分析				量測晶片之高頻特性、系統層級靜電放電防護能力(每種尺寸至少3顆),並送交第三方驗證系統層級靜電放電防護能力 <已完成>			協助量測	
				分析量測結果 <已完成>				結果討論

F 搭配靜電放電防護設計之40Gb/s高速電路產品驗證

F1 整合適用於40Gb/s 高速電路之元件層級與系統層級之靜電放電防護設計	設計1種40Gb/s高速電路 <已完成>	設計1種40Gb/s高速電路並搭配元件層級與系統層級之靜電放電防護設計(多種尺寸) <已完成>			提供高速電路產品	參與整合設計		
F2 電路下線實作			下線實作1種40Gb/s 高速電路並搭配元件層級與系統層級靜電放電防護設計(多種尺寸) <已完成>					
F3 實驗量測與分析				量測40Gb/s 高速電路之特性、元件層級與系統層級靜電放電防護能力(每種尺寸至少3顆), 並送交第三方驗證元件層級與系統層級靜電放電防護能力 <已完成>			協助量測	
				分析量測結果 <已完成>				結果討論

二、本產學合作計畫預估後續發展情形概述：

計畫執行及結束後之計畫如何配合追蹤管考、產品產出與開發規劃、預期可推廣至產業或市場之成果、預估可授權商品、預估應用價值及產值、建立平台、主要發現等（簡要敘述成果，內容須包含是否已有嚴重損及公共利益之發現；如已有嚴重損及公共利益之發現，請簡述可能損及之層面及相關程度）。

本計畫合作企業-晶焱科技是台灣第一家靜電放電防護解決方案公司，專門提供各項靜電放電防護相關產品，也是全台首家以 IC 製程方式研發出各類元件，其產品可應用在包括 NB、PC、電視、手機等。晶焱科技不僅已獲得系統大廠及 OEM 廠青睞，亦成功搶進先進駕駛輔助系統 (ADAS)，以及機器人工控等傳送接受器及保護元件市場。本三年期計畫若順利開發完成，將產出可實際應用於高速電路產品之靜電放電防護技術，晶焱科技可將此靜電放電防護解決方案應用至客戶之高速電子產品，市佔率預估 50%，年產值將朝新台幣 20 億元邁進。

本產學合作計畫已完成適用於 20Gb/s 和 40Gb/s 高速電路之靜電放電防護設計、完成元件層級與系統層級之靜電放電測試、並搭配靜電放電防護設計於高速電路進行驗證。未來在應用時還可以將靜電放電防護電路進行最佳化調整，滿足產品實際所需。

本產學合作計畫研發成果及績效達成情形自評表

成果項目		本產學合作計畫 預估 研究成果及績效指標 (作為本計畫後續管考之參據)	計畫達成情形
技術移轉		預計技轉授權 <u>0</u> 項	完成技轉授權 <u>0</u> 項
專利	國內	預估 <u>3</u> 件 (3年)	提出申請 <u>2</u> 件，獲得 <u>2</u> 件
	國外	預估 <u>3</u> 件 (3年)	提出申請 <u>2</u> 件，獲得 <u>0</u> 件
人才培育		博士 <u>2</u> 人，畢業任職於業界 <u>2</u> 人 (3年)	博士 <u>2</u> 人，畢業任職於業界 <u>0</u> 人
		碩士 <u>8</u> 人，畢業任職於業界 <u>8</u> 人 (3年)	碩士 <u>8</u> 人，畢業任職於業界 <u>6</u> 人
		其他 <u>0</u> 人，畢業任職於業界 <u>0</u> 人	其他 <u>0</u> 人，畢業任職於業界 <u>0</u> 人
論文著作	國內	期刊論文 <u>0</u> 件	發表期刊論文 <u>0</u> 件
		研討會論文 <u>6</u> 件 (3年)	發表研討會論文 <u>6</u> 件
		SCI論文 <u>0</u> 件	發表SCI論文 <u>0</u> 件
		專書 <u>0</u> 件	完成專書 <u>0</u> 件
		技術報告 <u>0</u> 件	完成技術報告 <u>0</u> 件
	國外	期刊論文 <u>0</u> 件	發表期刊論文 <u>1</u> 件
		學術論文 <u>0</u> 件	發表學術論文 <u>0</u> 件
		研討會論文 <u>6</u> 件 (3年)	發表研討會論文 <u>10</u> 件
		SCI/SSCI論文 <u>6</u> 件 (3年)	發表SCI/SSCI論文 <u>9</u> 件
		專書 <u>0</u> 件	完成專書 <u>0</u> 件
		技術報告 <u>0</u> 件	完成技術報告 <u>0</u> 件
其他協助產業發展之具體績效		新公司或衍生公司 <u>0</u> 家	設立新公司或衍生公司(名稱)： _____
計畫產出成果簡述：請以文字敘述計畫非量化產出之技術應用具體效益。(限 600 字以內)		本產學合作計畫已完成適用於 20Gb/s 和 40Gb/s 高速電路之靜電放電防護設計、完成元件層級與系統層級之靜電放電測試、並搭配靜電放電防護設計於高速電路進行驗證。未來在應用時還可以將靜電放電防護電路進行最佳化調整，滿足產品實際所需。本三年期產學合作計畫已完整地執行完畢，未來可藉由產業之執行力，將實驗室內之理論實際應用於上市產品上；本計畫可協助提升產品的品質與可靠度，增進產品附加價值；對於國家產業發展而言，本產學合作計畫所發展的核心技術非常貼近現今臺灣電子產業之實際需求，為目前國內電子產業中不可或缺的重要技術。	

107年度專題研究計畫成果彙整表

計畫主持人：林群祐			計畫編號：107-2622-E-003-001-CC2			
計畫名稱：應用於高速電路之創新靜電放電防護技術開發(3/3)						
成果項目		量化	單位	質化 (說明：各成果項目請附佐證資料或細項說明，如期刊名稱、年份、卷期、起訖頁數、證號...等)		
國內	學術性論文	期刊論文		0		
		研討會論文		6	篇	<p>[1]傅義全、王日彥、林群祐, “多頻帶射頻晶片之靜電放電防護設計,” in Proc. Taiwan ESD and Reliability Conference, 2018.</p> <p>[2]C.-H. Yu, J.-Y. Wang, Y.-R. Chen, C.-Y. Chen, and Chun-Yu Lin, “Study of whole-chip ESD protection with dual resistor-triggered SCRs for X-band applications in CMOS technology,” in Proc. Taiwan ESD and Reliability Conference, 2018.</p> <p>[3]林群祐、邱彥璉、賴玉瑄, “應用於堆疊式輸出級驅動電路之靜電放電防護設計,” in Proc. Taiwan ESD and Reliability Conference, 2017.</p> <p>[4]陳俊宇、王日彥、傅義全、林群祐, “電阻觸發型矽控整流器在靜電放電防護上的設計與應用,” in Proc. Taiwan ESD and Reliability Conference, 2017.</p> <p>[5]李冠儀、林群祐, “應用在大訊號擺幅功率放大器的靜電放電防護元件,” in Proc. Taiwan ESD and Reliability Conference, 2016.</p> <p>[6]W.-H. Fu and Chun-Yu Lin, “Study of BJT-based ESD protection design in BiCMOS technology,” in Proc. VLSI Design/CAD Symposium, 2016.</p>
		專書		0	本	
		專書論文		0	章	
		技術報告		0	篇	
	其他		0	篇		
	智慧財產權及成果	專利權	發明專利	申請中	0	
				已獲得	2	件

						1595628, Aug. 11, 2017.
		新型/設計專利		0		
		商標權		0		
		營業秘密		0		
		積體電路電路布局權		0		
		著作權		0		
		品種權		0		
		其他		0		
	技術移轉	件數		0	件	
		收入		0	千元	
國外	學術性論文	期刊論文		9	篇	<p>[1]B.-W. Peng and Chun-Yu Lin, "Low-loss I/O pad with ESD protection for K/Ka-bands applications in nanoscale CMOS process," IEEE Trans. Circuits and Systems II: Express Briefs, vol. 65, no. 10, pp. 1475-1479, Oct. 2018. (SCI)</p> <p>[2]Chun-Yu Lin and C.-Y. Chen, "Low-C ESD protection design with dual resistor-triggered SCRs in CMOS technology," IEEE Trans. Device and Materials Reliability, vol. 18, no. 2, pp. 197-204, Jun. 2018. (SCI)</p> <p>[3]G.-L. Huang, W.-H. Fu, and Chun-Yu Lin, "Investigation and application of vertical NPN devices for RF ESD protection in BiCMOS technology," Microelectronics Reliability, vol. 83, pp. 271-280, Apr. 2018. (SCI)</p> <p>[4]Chun-Yu Lin, R.-H. Liu, and M.-D. Ker, "Design of 2.4-GHz T/R switch with embedded ESD protection devices in CMOS process," Microelectronics Reliability, vol. 78, pp. 258-266, Nov. 2017. (SCI)</p> <p>[5]Chun-Yu Lin and M.-T. Lin, "Improved stacked-diode ESD protection in nanoscale CMOS technology," IEICE Electronics Express, vol. 14, no. 13, pp. 20170570, Jul. 2017. (SCI)</p> <p>[6]Chun-Yu Lin and C.-Y. Chen, "Resistor-triggered SCR device for ESD protection in high-speed I/O interface circuits," IEEE Electron Device Letters, vol. 38, no. 6, pp.</p>

				<p>712-715, Jun. 2017. (SCI)</p> <p>[7]Chun-Yu Lin and W.-H. Fu, "Diode string with reduced clamping voltage for efficient on-chip ESD protection," IEEE Trans. Device and Materials Reliability, vol. 16, no. 4, pp. 688-690, Dec. 2016. (SCI)</p> <p>[8]Chun-Yu Lin, Y.-K. Chiu, and S.-Y. Yueh, "Design of local ESD clamp for cross-power-domain interface circuits," IEICE Electronics Express, vol. 13, no. 20, pp. 20160806, Oct. 2016. (SCI)</p> <p>[9]Chun-Yu Lin and Y.-L. Chiu, "Design of embedded SCR device to improve ESD robustness of stacked-device output driver in low-voltage CMOS technology," Solid State Electronics, vol. 124, pp. 28-34, Oct. 2016. (SCI)</p>
	研討會論文		10	<p>[1]M.-T. Lin and Chun-Yu Lin, "Improved ESD protection design for high-frequency applications in CMOS technology," in Proc. International Conference on Infrared, Millimeter, and Terahertz Waves, 2018.</p> <p>[2]J.-Y. Wang, Y.-Q. Fu, and Chun-Yu Lin, "ESD protection design for 24-GHz and 60-GHz dual-band applications in CMOS technology," in Proc. Taiwan and Japan Conference on Circuits and Systems (TJCAS), 2018.</p> <p>[3]Chun-Yu Lin and Y.-L. Chiu, "High-voltage driving circuit with on-chip ESD protection in CMOS technology," accepted by IEEE International Conference on Intelligent Informatics and BioMedical Sciences (ICIIBMS), 2017.</p> <p>[4]Chun-Yu Lin and Y.-L. Chiu, "Investigation on stacked-device output driver with SCR ESD protection in nanoscale CMOS process," in Proc. Taiwan and Japan Conference on Circuits and Systems (TJCAS), 2017, p. 24.</p> <p>[5]M.-T. Lin and Chun-Yu Lin, "K-band low-noise amplifier with</p>

					<p>stacked-diode ESD protection in nanoscale CMOS technology,” in Proc. IEEE International Symposium on Physical and Failure Analysis of Integrated Circuits (IPFA), 2017.</p> <p>[6]Chun-Yu Lin and M.-T. Lin, “ESD protection design with stacked diodes and local power clamp for silicon chips of high-speed applications,” in Proc. International Conference on Natural Sciences and Engineering (ICNSE), 2017, pp. 136-137.</p> <p>[7]Chun-Yu Lin and R.-K. Chang, “ESD protection design for high-speed circuits in nanoscale CMOS process,” Int. Symp. Integrated Circuits (ISIC), 2016.</p> <p>[8]G.-Y. Li and Chun-Yu Lin, “On-chip ESD protection design for radio-frequency power amplifier with large-swing-tolerance consideration,” IEEE Asia Pacific Conf. Circuits and Systems (APCCAS), 2016.</p> <p>[9]Chun-Yu Lin, R.-K. Chang, and M.-D. Ker, “A gigahertz low-noise amplifier with ESD protection in nanoscale CMOS technology,” in Proc. Asia-Pacific Int. Symp. Electromagnetic Compatibility (APEMC), 2016.</p> <p>[10]Chun-Yu Lin, R.-H. Liu, and M.-D. Ker, “ESD self-protection design on 2.4-GHz T/R switch for RF application in CMOS process,” in Proc. IEEE Int. Reliability Physics Symp. (IRPS), 2016.</p>	
				0	本	
				0	章	
				0	篇	
				0	篇	
智慧財產權及成果	專利權	發明專利	申請中	2	件	<p>[1] Chun-Yu Lin and Y.-H. Lai, “SCR for broadband ESD protection,” US patent, pending. (德米專利事務所案號0393-17001US)</p> <p>[2]Chun-Yu Lin and C.-Y. Chen, “ESD protection circuit and integrated circuit,” US patent, pending. (德米專利事務所案號0393-16001US)</p>

		已獲得	0		
		新型/設計專利	0		
		商標權	0		
		營業秘密	0		
		積體電路電路布局權	0		
		著作權	0		
		品種權	0		
		其他	0		
技術移轉	件數	0	件		
	收入	0	千元		
參與計畫人力	本國籍	大專生	0	人次	
		碩士生	8		賴玉瑄、彭柏維、黃國倫、林孟霆、李冠儀、傅偉豪、張榮堃、邱彥璉
		博士生	2		彭柏維、張榮堃
		博士後研究員	0		
		專任助理	0		
	非本國籍	大專生	0		
		碩士生	0		
		博士生	0		
		博士後研究員	0		
		專任助理	0		
其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)					

本產學合作計畫研發成果及績效達成情形自評表

成果項目		本產學合作計畫預估研究成果及績效指標 (作為本計畫後續管考之參據)	計畫達成情形
技術移轉		預計技轉授權 0 項	完成技轉授權 0 項
專利	國內	預估 3 件	提出申請 2 件，獲得 2 件
	國外	預估 3 件	提出申請 2 件，獲得 0 件
人才培育		博士 2 人，畢業任職於業界 2 人	博士 2 人，畢業任職於業界 0 人
		碩士 8 人，畢業任職於業界 8 人	碩士 8 人，畢業任職於業界 6 人
		其他 0 人，畢業任職於業界 0 人	其他 0 人，畢業任職於業界 0 人
論文著作	國內	期刊論文 0 件	發表期刊論文 0 件
		研討會論文 6 件	發表研討會論文 6 件
		SCI論文 0 件	發表SCI論文 0 件
		專書 0 件	完成專書 0 件
		技術報告 0 件	完成技術報告 0 件
	國外	期刊論文 0 件	發表期刊論文 0 件
		學術論文 0 件	發表學術論文 0 件
		研討會論文 6 件	發表研討會論文 10 件
		SCI/SSCI論文 6 件	發表SCI/SSCI論文 9 件
		專書 0 件	完成專書 0 件
		技術報告 0 件	完成技術報告 0 件
其他協助產業發展之具體績效		新公司或衍生公司 0 家	設立新公司或衍生公司(名稱):
計畫產出成果簡述： 請以文字敘述計畫非量化產出之技術應用具體效益。 (限600字以內)		本產學合作計畫已完成適用於20Gb/s和40Gb/s高速電路之靜電放電防護設計、完成元件層級與系統層級之靜電放電測試、並搭配靜電放電防護設計於高速電路進行驗證。未來在應用時還可以將靜電放電防護電路進行最佳化調整，滿足產品實際所需。本三年期產學合作計畫已完整地執行完畢，未來可藉由產業之執行力，將實驗室內之理論實際應用於上市產品上；本計畫可協助提升產品的品質與可靠度，增進產品附加價值；對於國家產業發展而言，本產學合作計畫所發展的核心技術非常貼近現今臺灣電子產業之實際需求，為目前國內電子產業中不可或缺的重要技術。	
請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估		<input checked="" type="checkbox"/> 達成目標 <input type="checkbox"/> 未達成目標 (請說明，以100字為限) <input type="checkbox"/> 實驗失敗 <input type="checkbox"/> 因故實驗中斷 <input type="checkbox"/> 其他原因 說明：	

本研究具有政策應用參考價值	<input checked="" type="checkbox"/> 否 <input type="checkbox"/> 是，建議提供機關 (勾選「是」者，請列舉建議可提供施政參考之業務主管機關)
本研究具影響公共利益之重大發現	<input type="checkbox"/> 否 <input type="checkbox"/> 是 說明：(以150字為限)